

公開実用平成 3-45299

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平3-45299

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月25日

G 11 C 17/00

B

7131-5B

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 EEPROMのデータ書き込み装置

⑯ 実 願 平1-106275

⑰ 出 願 平1(1989)9月11日

⑱ 考 案 者 佐 竹 真 一 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 考 案 者 津 田 勝 久 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑳ 出 願 人 横 河 電 機 株 式 会 社 東京都武蔵野市中町2丁目9番32号

㉑ 代 理 人 弁 理 士 小 沢 信 助

明 細 書

1. 考案の名称

EEPROMのデータ書き込み装置

2. 実用新案登録請求の範囲

EEPROMと、このEEPROMへのリード／ライト手段と、停電予告信号を受けると立てられる停電割込み要求フラグとを備え、

前記リード／ライト手段は、

前記EEPROMへのデータのライト処理に、少なくともその間、割込みが禁止される第1のライト処理と、停電予告信号による割込み要求に基づく第2のライト処理が用意されており、前記停電割込み要求フラグが立てられると、前記第1のライト処理の中で前記第2のライト処理を引き続き行うように構成されていることを特徴とするEEPROMのデータ書き込み装置。

3. 考案の詳細な説明

<産業上の利用分野>

本考案は、EEPROM(Electrically erasable and programmable read only memory)のデー

公開実用平成 3-45299

タ書込み装置に関し、更に詳しくは、EEPROMをメモリの1つとして利用するマイクロプロセッサ装置において、停電直前のデータ書込み処理の改善に関する。

<従来の技術>

EEPROMは、電氣的にデータの書込み／消去が行え、データの保持に電池が要らないなどの特徴があるが、データの書き換え時間が、約2～10msと長いという欠点がある。

従来、EEPROMへのデータ書込み（ライト）処理には、いくつか用意されていて、例えば第1のライト処理（この間割込み禁止）中に、停電予告信号による停電割込みが発生すると、第1のライト処理が終了してから、停電予告信号による割込み処理に基づく第2のライト処理を実行するようになっている。

<考案が解決しようとする課題>

このために、停電予告による割込み処理に基づくライト処理は、第1のライト処理が完了するまでの時間、約10ms待つ必要があった。

本考案は、この様な点に鑑みてなされたものであって、停電予告信号による割込み処理に基づく第2のライト処理を、前記したような10msの待ち時間を経ないで行えるようにしたEEPROMのデータ書き込み装置を提供することを目的とする。

<課題を解決するための手段>

前記した目的を達成する本考案は、

EEPROMと、このEEPROMへのリード／ライト手段と、停電予告信号を受けると立てられる停電割込み要求フラグとを備え、

前記リード／ライト手段は、

前記EEPROMへのデータのライト処理に、少なくともその間、割込みが禁止される第1のライト処理と、停電予告信号による割込み要求に基づく第2のライト処理が用意されており、前記停電割込み要求フラグが立てられると、前記第1のライト処理の中で前記第2のライト処理を引き続き行うようにし、第2のライト処理は実行しないように構成されている。

公開実用平成 3-45299

<作用>

リード／ライト手段はマイクロプロセッサのプログラムで実現される。電源回路が正常に動作している間は、リード／ライト手段は通常の第1のライト処理を実行している。

電源回路が停電すると、停電直前に停電予告信号が出力され、これにより停電割込み要求フラグが立てられる。リード／ライト手段は第1のライト動作中に、この停電割込み要求フラグが立てられると、第1のライト処理に続いて、第2のライト処理をそれまでライト処理していたEEPROM内の領域（同じページ）内に行う。

これにより、停電割込み処理に要する時間を短くすることが可能となる。

<実施例>

以下図面を用いて、本考案の一実施例を詳細に説明する。

第1図は、本考案の一実施例を示す構成概念図である。図において、1はマイクロプロセッサ、2はこのマイクロプロセッサに電力を供給してい

る電源回路、3はマイクロプロセッサ1にバスB
Sを介して結ばれているEEPROM、4はROM、5はRAMである。

マイクロプロセッサ1において、11は電源回路2から停電発生直前に出力される停電予告信号を受け、立てられる停電割込み要求フラグ、12はEEPROM3を含む各メモリへのリード/ライト手段である。このリード/ライト手段は、EEPROMへのデータのライト処理に、例えば第1のライト処理（この間割込み禁止）と、停電予告信号による割込み要求に基づく第2のライト処理が少なくとも用意されている。

13は停電割込み要求フラグ11の状態を読み込むフラグ状態読み込み手段で、ここで読み込まれた状態データは、メモリのリード/ライト手段12に伝えられる。

このように構成された装置の動作を説明すれば以下の通りである。

EEPROM3への通常のライト処理としては、複数個あり、それぞれEEPROM内の別々のベ

公開実用平成 3-45299



ージ（例えばNEC製 μ PD28C64の場合、1ページ32バイトのブロックになっており、アドレスの下位5ビットより上位の部分が共通のもの）へライトするようになっている。

第2図は、この様な第1のライト処理中に、停電予告信号が出力された場合の動作を示すタイムチャートである。

(a) は停電割込み要求信号であり、(b) に示す第1のライト処理中に停電が発生しているものとする。

マイクロプロセッサ1内のフラグ状態読み込み手段13は、(b) に示すライト処理の最後付近の時点t1で、停電割込み要求フラグ11の状態を読み込み、フラグが立てられていると（停電割込み要求が有る場合）、停電割込み要求に基づくEEPROM内への第2のライト処理を、(b) に示すようにそれまでライトしていた領域と同一ページ内にライトする。なお、この領域には、第2のライト処理によるデータが格納できるスペースが常にあるものとする。

この様な動作は、第2のライト処理のアドレスを、第1のライト処理のアドレスと同一ページに割り付けることにより、第1のライト処理に続いて第2のライト処理を連続して行え、ページモードライトが実行できる。

ここで、第2のライト処理が終了後、(c)に示すように停電割込み処理が行われるが、この処理では、第2のライト処理はしないものとする。

第3図は、上記以外の状態で、停電割込みが発生した場合の動作を示すタイムチャートである。

この様な状態では、(a)に示すように停電割込み要求が発生すると、その時点で(b)に示すように直ちにこの要求にも基づく停電割込み処理(第2のライト処理を含む)を実行する。この場合でのライト処理は、EEPROM内のある決まった領域内に行われる。

< 考案の効果 >

以上詳細に説明したように、本考案によれば、EEPROMへのライト処理中に、停電割込みが発生し、その割込みの中でもライト処理をおこな

公開実用平成 3—45299

う場合、両方のライト処理を続けて行うようにしたもので、別々にこれらのライト処理を行う場合に必要となる書き込み完了の待ち時間を不要にでき、停電割込みに要する時間を短くすることができる。

4. 図面の簡単な説明

第1図は本考案の一実施例を示す構成概念図、第2図は第1のライト処理中に、停電予告信号が出力された場合の動作を示すタイムチャート、第3図は第2図に示す以外の状態で、停電割込みが発生した場合の動作を示すタイムチャートである。

1…マイクロプロセッサ

2…電源回路 3…EEPROM

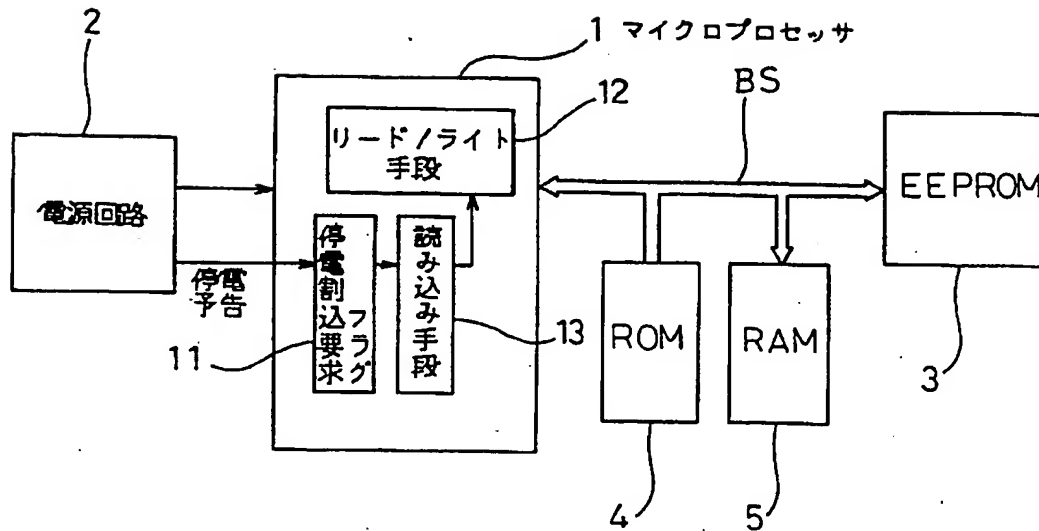
4…ROM 5…RAM

11…停電割込み要求フラグ

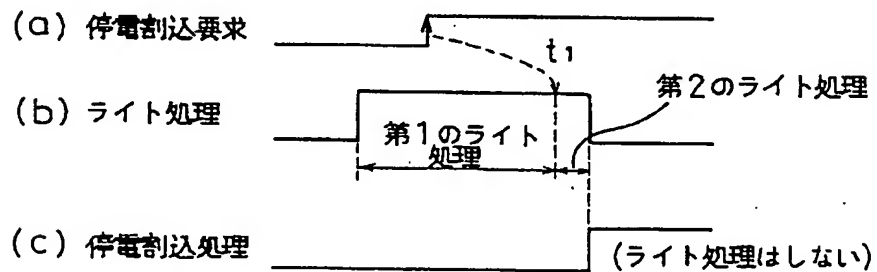
12…リード／ライト手段

13…フラグ状態読み込み手段

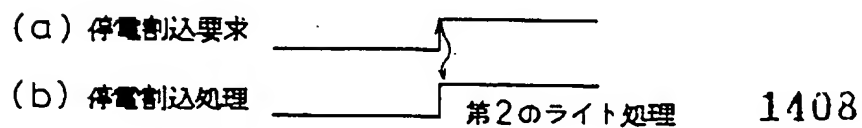
第1図



第2図



第3図



SPECIFICATION

1. TITLE OF THE UTILITY MODEL

Data Writer of EEPROM

2. CLAIM

A data writer of EEPROM comprising an EEPROM, a read/write means for this EEPROM, and a power failure interruption request flag which is set when a power failure warning signal is received,

Wherein said read/write means prepares for a first write process which is inhibited in the interruption to the write process of data to said EEPROM at least during such write process and a second write process based on the interruption request by a power failure warning signal, and continuously executes said second write process during said first write process when said power failure interruption request flag is set.

3. DETAILED DESCRIPTION OF THE UTILITY MODEL

<Industrial Field of Utilization>

The present utility model relates to a data writer of an EEPROM (Electrically Erasable and Programmable Read Only Memory) and more specifically to improvement in the data write process immediately before the occurrence of power failure in a microprocessor which utilizes the EEPROM as one of the memories.

<Description of the Prior Art>

The EEPROM is characterized by the electrical write and erase of data and necessity of no battery for storage

of data, but has disadvantage that the data update time is as long as about 2 to 10 ms.

Several data write processes to the EEPROM have been prepared. For example, when a power failure interruption due to the power failure warning signal is generated, for example, during the first write process (interruption is inhibited during this period), the second write process based on the interruption process by the power failure warning signal is executed after the end of the first write process.

<Problems to be Solved by the Utility Model>

Therefore, the write process based on the interruption process by the power failure warning must be placed in the waiting condition for about 10 ms until the first write process is completed.

The present utility model has been proposed considering the background described above and an object of the present utility model is therefore to provide a data writer of EEPROM which can execute the second write process based on the interruption process by the power failure warning signal without requiring the waiting time of 10 ms described above.

<Means for Solving the Problems>

The present utility model which has attained the object described above comprises a read/write means to this EEPROM and a power failure interruption request flag which is set when the power failure warning signal

is received, wherein the read/write means prepares for a first write process which is inhibited in the interruption to the write process of data to the EEPROM during at least such write process period and a second write process based on the interruption request by the power failure warning signal, and subsequently executes the second write process during the first write process but does not execute the second write process when the power failure interruption request flag is set.

<Operation>

The read/write means may be realized with a program of the microprocessor. While the power supply circuit operates normally, the read/write means executes the ordinary first write process.

If the power supply circuit fails, the power failure warning signal is outputted immediately before occurrence of power failure and thereby the power failure interruption request flag is set. When the power failure interruption request flag is set during the first write process, the read/write means executes the second write process in the region (same page) of the EEPROM in which the write process has been conducted, following the first write process.

Accordingly, the time required for power failure interruption process can be reduced.

<Embodiment>

The preferred embodiment of the present invention

will be described in detail with reference to the accompanying drawings.

Fig. 1 is a schematic diagram of structure illustrating a preferred embodiment of the present utility model. In this figure, numeral 1 designates a microprocessor; 2, a power supply circuit for supplying the electrical power to the microprocessor; 3, an EEPROM connected to the microprocessor 1 via a bus BS; 4, a ROM; and 5, a RAM.

In the microprocessor 1, the numeral 11 designates a power failure interruption request flag which is set by receiving the power failure warning signal which is outputted immediately before occurrence of power failure from the power supply circuit 2; and 12, a read/write means for each memory including the EEPROM 3. The write process of data to the EEPROM to be conducted by this read/write means comprises, for example, at least the first write process (interruption is inhibited during this process) and the second write process based on the interruption request by the power failure warning signal.

Numerical 13 designates a flag state reading means for reading the state of the power failure interruption request flag 11. The state data read by this means is transferred to the read/write means of the memory.

Operations of the apparatus structured as described above are described as follows.

A plurality of write processes are generally provided for the EEPROM 3. The data is written to different pages within the EEPROM (for example, in the case of μ PD28064 by NEC, a page is formed of the block of 32 bytes and the more significant portion of less significant 5 bits of the address is used in common).

Fig. 2 is a time-chart illustrating the operations conducted when the power failure warning signal is outputted during the first write process described above.

In Fig. 2, (a) is the power failure interruption request signal and it is assumed that power failure is generated during the first write process indicated by (b).

The flag state reading means 13 within the microprocessor 1 reads the state of the power failure interruption request flag 11 at the timing t1 near the final stage of the write process (b). When the flag is set (when the power failure interruption request is issued), the second write process into the EEPROM based on the power failure interruption request is performed into the same page as the region in which the write process has been executed as illustrated by (b). Here, it is assumed that the space for storing the data by the second write process is always reserved in this region.

In the series of operations described above, the second write process can be executed continuously

following the first write process by assigning the address of the second write process to the same page as the address of the first write process. Namely, the page mode write process can be executed.

Here, the power failure interruption process is performed as illustrated in (c) after the end of the second write process. In this process, it is assumed that the second write process is not executed.

Fig. 3 is a time chart indicating the operations conducted when the power failure interruption is generated under the condition other than that described above.

Under the conditions described above, when the power failure interruption request is issued as illustrated in (a), the power failure interruption process (including the second write process) based on this request is immediately executed in this timing as illustrated in (b). In this case, the write process is executed within the predetermined region in the EEPROM.

<Effect of the Utility Model>

As described above in detail, according to the present utility model, when the power failure interruption is issued during the write process to the EEPROM and the write process is executed even during such interruption, both write processes are conducted continuously. Accordingly, the waiting time until

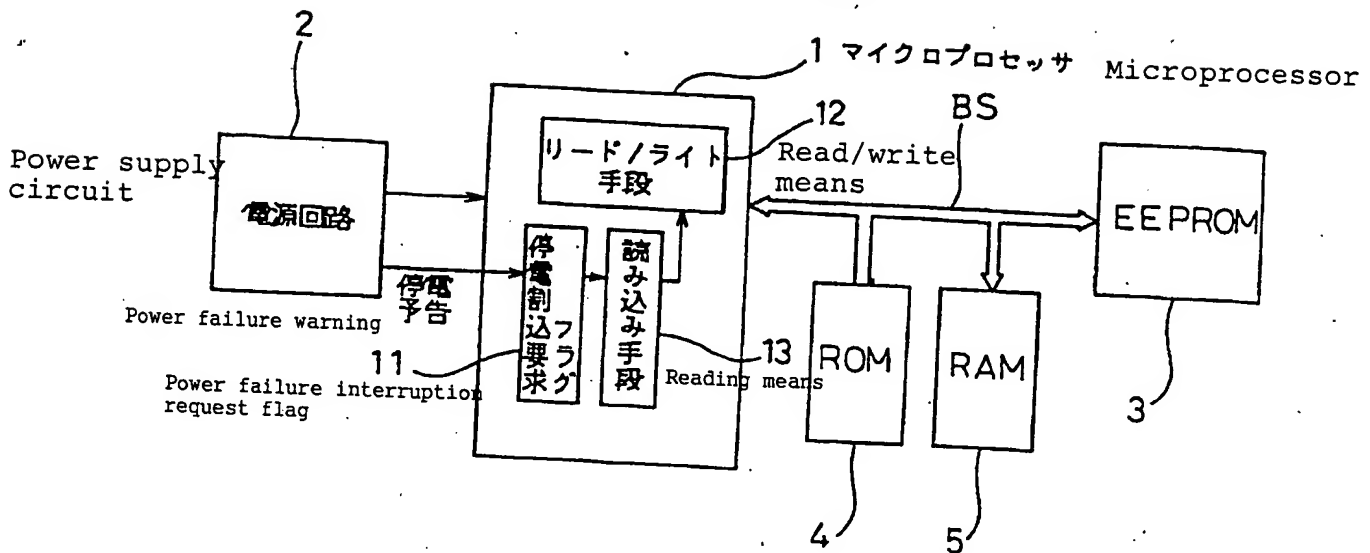
completion of the write process which is required for individual write processes may be eliminated and the time required for the power failure interruption can be reduced.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a structural diagram illustrating an embodiment of the present utility model. Fig. 2 is a time chart illustrating operations when the power failure warning signal is outputted during the first write process. Fig. 3 is a time chart illustrating the operations when the power failure interruption is generated under the condition other than that illustrated in Fig. 2.

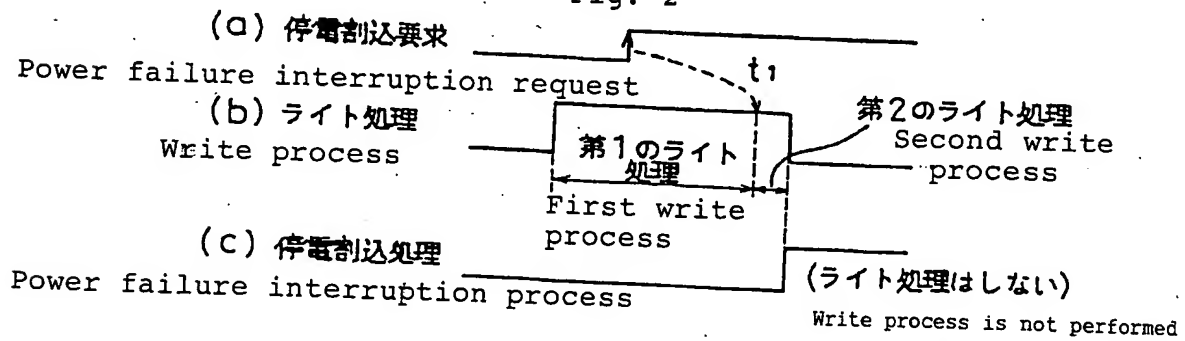
1.....Microprocessor; 2.....Power supply circuit;
3.....EEPROM; 4.....ROM; 5.....RAM;
11.....Power failure interruption request flag;
12.....Read/write means;
13.....Flag state reading means.

Fig. 1 第 1 図



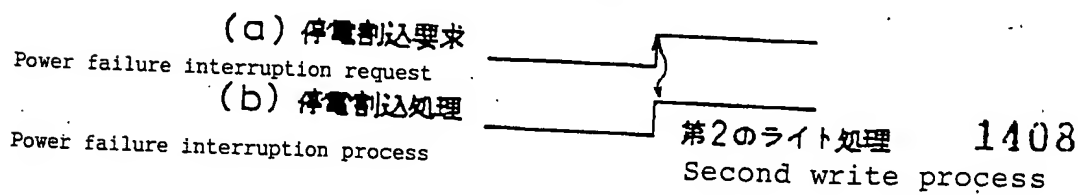
第 2 図

Fig. 2



第 3 図

Fig. 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.